

特 許 協 力 条 約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

REC'D 13 JAN 2005

WIPO

PCT

出願人又は代理人 の書類記号 310200945971	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO2/08757	国際出願日 (日.月.年) 29.08.2002	優先日 (日.月.年)
国際特許分類(IPC)	Int.Cl ¹ G06K19/00, G11C16/04	
出願人(氏名又は名称) 株式会社ルネサステクノロジ		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
- この附属書類は、全部で 14 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 29.08.2002	国際予備審査報告を作成した日 07.12.2004	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 堀田 和義	5N 8840
電話番号 03-3581-1101 内線 6840		

様式PCT/IPEA/409(表紙)(1998年7月)

BEST AVAILABLE COPY

BEST AVAILABLE COPY

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-46 ページ、出願時に提出されたもの
 明細書 第 _____ ページ、国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2-9, 12-13, 15-17, 19-27, 30-31 項、出願時に提出されたもの
 請求の範囲 第 _____ 項、PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 10, 11, 14, 18, 28, 29 項、25.08.2003 付の書簡と共に提出されたもの

☒ 図面 第 1-46 ~~ページ~~/図、出願時に提出されたもの
 図面 第 _____ ~~ページ~~/図、国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ~~ページ~~/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1-31	有 無
	請求の範囲		
進歩性 (IS)	請求の範囲	1-31	有 無
	請求の範囲		
産業上の利用可能性 (IA)	請求の範囲	1-31	有 無
	請求の範囲		

2. 文献及び説明 (PCT規則70.7)

文献1: JP 2002-164449 A(株式会社日立製作所)2002.06.07, 全文, 全図
& US 2002/0074594 A1 & KR 2002/042441 A

文献2: JP 2001-156275 A(株式会社日立製作所)2001.06.08, 段落【0049】,
第17,18図 & US 6531735 B1 & EP 1085519 A1 & KR 2001/082522 A

文献3: WO 2001/084556 A1(ADVANCED TECHNOLOGY MATERIALS, INC.)2001.11.08,
全文, 全図 & JP 2003-532968 A & US 6400603 B1 & EP 1305805 A1
& KR 2003/014212 A

文献4: JP 2000-21183 A(松下電器産業株式会社)2000.01.21, 全文, 全図

【請求の範囲1-31】

請求の範囲1-31に係る発明は、国際予備審査で新たに引用した文献1-3および国際調査報告で引用された文献4に対して進歩性を有する。

文献1-3には、基板上に形成された第1の拡散層領域と第2の拡散層領域との間にチャネル領域を有し、チャネル領域上に第1絶縁膜を介して電荷蓄積層を有し、電荷蓄積層上に第2絶縁膜を介して第1ゲート端子を有し、電荷蓄積層直下の第1チャネル領域に隣接する第2チャネル領域上に、第1ゲート端子と第3絶縁膜を介して第2ゲート端子を有する不揮発性メモリセルが記載されているが、文献1-3のいずれにも、不揮発性メモリセルの構造を変えずに、スイッチ回路を付加して、第1データ長単位に記憶情報の消去が行われる第1不揮発性メモリセルと、第2データ長単位に記憶情報の消去が行われる第2不揮発性メモリセルとに分けることが記載されておらず、これによって、第1の不揮発性メモリを暗号化鍵の格納に使用し、第2の不揮発性メモリをプログラムの格納に使用するという文献1-3からは予測し得ぬ有利な効果を奏するものである。

なお、文献4には、バイト消去可能なEEPROMアレイとフラッシュメモリアレイを設けることが記載されているが、文献1-3に記載されたものとは、不揮発性メモリセルの構造が異なっており、文献1-3と文献4とを組み合わせることは、当業者といえども困難である。

請 求 の 範 囲

1. (補正後) 1 の半導体基板に第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリと、中央処理装置とを有し、外部と暗号化したデータの入出力が可能であり、

前記第 1 の不揮発性メモリは前記データの暗号化に使用する暗号化鍵の格納に使用され、

前記第 2 の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用され、

前記第 1 の不揮発性メモリと前記第 2 の不揮発性メモリはそれぞれ複数の不揮発性メモリセルを有し、

それぞれの不揮発性メモリセルは基板上に形成された第 1 の拡散層領域と第 2 の拡散層領域との間にチャネル領域を有し、チャネル領域上に第 1 絶縁膜を介して電荷蓄積層を有し、電荷蓄積層上に第 2 絶縁膜を介して第 1 ゲート端子を有し、電荷蓄積層直下の第 1 チャネル領域に隣接する第 2 チャネル領域上に、第 1 ゲート端子と第 3 絶縁膜を介して第 2 ゲート端子を有し、

前記第 3 絶縁膜下のチャネル領域で発生したホットエレクトロンを前記電荷蓄積層に注入し、又は前記電荷蓄積層から電荷を引き抜くことによりメモリセルのしきい値電圧を変化させる動作を行い、

前記第 1 の不揮発性メモリは第 1 制御信号線を有し、前記第 1 の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第 1 ゲート端子と第 1 制御信号線とが電氣的に接続可能とされ、前記第 1 制御信号線は前記第 1 データ長単位毎にスイッチ回路を介して前記所定数の不揮発性メモリセルの第 1 ゲート端子と接

続され、

前記第 2 の不揮発性メモリは第 2 制御信号線を有し、前記第 2 の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第 1 ゲート端子と第 2 制御信号線とが電氣的に接続
5 されることを特徴とする半導体処理装置。

2. 前記第 1 の不揮発性メモリは更に個人を特定するために用いられる情報の格納に使用されることを特徴とする請求の範囲第 1 項記載の半導体処理装置。

3. 前記第 1 データ長は前記第 2 データ長よりも短いことを特徴とする
10 請求の範囲第 2 項記載の半導体処理装置。

4. 前記半導体処理装置は更に外部との入出力に用いられる端子を有し、
前記プログラムは前記端子を介して外部から供給され前記第 2 の不揮発性メモリに格納されることを特徴とする請求の範囲第 3 項記載の半導体処理装置。

5. 前記中央処理装置は前記第 1 の不揮発性メモリと前記第 2 の不揮発性メモリとを並行してアクセス処理が可能であることを特徴とする請求の範囲第 4 項記載の半導体処理装置。
15

6. 前記第 1 の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、
20

前記第 2 の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、

前記第 1 の不揮発性メモリの制御部と前記第 2 の不揮発性メモリの制御部は少なくとも一部において共通であることを特徴とする請求の
25 範囲第 5 項記載の半導体処理装置。

7. 前記共通とされる制御部の一部は、メモリセルからデータを読み出す際の読み出し信号を増幅するために用いられるアンプ回路であることを特徴とする請求の範囲第6項記載の半導体処理装置。

5 8. 前記共通とされる制御部の一部は、メモリセルにアクセスする際にメモリセルに印加する電圧を発生させる電圧発生回路であることを特徴とする請求の範囲第6項記載の半導体処理装置。

9. 前記共通とされる制御部の一部は、メモリセルにアクセスする際にメモリセルを選択するデコード回路であることを特徴とする請求の範囲第6項記載の半導体処理装置。

10 10. (補正後) 第1データ長単位に記憶情報の消去が行われる第1の不揮発性メモリと、第2データ長単位に記憶情報の消去が行われる第2の不揮発性メモリと、中央処理装置と、外部とデータの入出力を行なうための端子とを有し、1の合成樹脂に封入され、

前記外部とは暗号化したデータの入出力が行われ、

15 前記第1の不揮発性メモリは前記データの暗号化に使用する暗号化鍵の格納に使用され、

前記第2の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用され、

20 前記第1の不揮発性メモリと前記第2の不揮発性メモリはそれぞれ複数の不揮発性メモリセルを有し、

それぞれの不揮発性メモリセルは基板上に形成された第1の拡散層領域と第2の拡散層領域との間にチャネル領域を有し、チャネル領域上に第1絶縁膜を介して電荷蓄積層を有し、電荷蓄積層上に第2絶縁膜を介して第1ゲート端子を有し、電荷蓄積層直下の第1チャネル領域に隣接する第2チャネル領域上に、第1ゲート端子と第3絶縁膜を介して第2ゲート端子を有し、

前記第 3 絶縁膜下のチャネル領域で発生したホットエレクトロンを前記電荷蓄積層に注入し、又は前記電荷蓄積層から電荷を引き抜くことによりメモリセルのしきい値電圧を変化させる動作を行い、

5 前記第 1 の不揮発性メモリは第 1 制御信号線を有し、前記第 1 の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第 1 ゲート端子と第 1 制御信号線とが電氣的に接続可能とされ、前記第 1 制御信号線は前記第 1 データ長単位毎にスイッチ回路を介して前記所定数の不揮発性メモリセルの第 1 ゲート端子と接続され、

10 前記第 2 の不揮発性メモリは第 2 制御信号線を有し、前記第 2 の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第 1 ゲート端子と第 2 制御信号線とが電氣的に接続されることを特徴とする IC カード。

15 11. (補正後) 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリと、中央処理装置と、外部とデータの入出力を行なうためのアンテナとを合成樹脂に封入されて備え、

前記外部とは暗号化したデータの入出力が行われ、

前記第 1 の不揮発性メモリは前記データの暗号化に使用する暗号化鍵の格納に使用され、

5 前記第 2 の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用され、

前記第 1 の不揮発性メモリと前記第 2 の不揮発性メモリはそれぞれ複数の不揮発性メモリセルを有し、

10 それぞれの不揮発性メモリセルは基板上に形成された第 1 の拡散層領域と第 2 の拡散層領域との間にチャネル領域を有し、チャネル領域上に第 1 絶縁膜を介して電荷蓄積層を有し、電荷蓄積層上に第 2 絶縁膜を介して第 1 ゲート端子を有し、電荷蓄積層直下の第 1 チャネル領域に隣接する第 2 チャネル領域上に、第 1 ゲート端子と第 3 絶縁膜を介して第 2 ゲート端子を有し、

15 前記第 3 絶縁膜下のチャネル領域で発生したホットエレクトロンを前記電荷蓄積層に注入し、又は前記電荷蓄積層から電荷を引き抜くことによりメモリセルのしきい値電圧を変化させる動作を行い、

20 前記第 1 の不揮発性メモリは第 1 制御信号線を有し、前記第 1 の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第 1 ゲート端子と第 1 制御信号線とが電氣的に接続可能とされ、前記第 1 制御信号線は前記第 1 データ長単位毎にスイッチ回路を介して前記所定数の不揮発性メモリセルの第 1 ゲート端子と接続され、

25 前記第 2 の不揮発性メモリは第 2 制御信号線を有し、前記第 2 の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第 1 ゲート端子と第 2 制御信号線とが電氣的に接続されることを特徴とする IC カード。

1 2. 前記中央処理装置と第1の不揮発性メモリは第1の半導体基板上に形成され、

前記第2の不揮発性メモリは第2の半導体基板上に形成され、

5 前記第1の不揮発性メモリはデータを格納するためにメモリセルに窒化膜が用いられることを特徴とする請求の範囲第10項又は第11項記載のICカード。

1 3. 前記中央処理装置と第1の不揮発性メモリは第1の半導体基板上に形成され、

前記第2の不揮発性メモリは第2の半導体基板上に形成され、

10 前記第2の不揮発性メモリはデータを格納するためにメモリセルにフローティングゲートが用いられることを特徴とする請求の範囲第10項又は第11項記載のICカード。

1 4. (補正後) 第1データ長単位に記憶情報の消去が行われる第1の不揮発性メモリと、第2データ長単位に記憶情報の消去が行われる第2の不揮発性メモリと、中央処理装置とを有し、外部とは暗号化したデータの入出力が可能であり、

15 前記第1の不揮発性メモリと第2の不揮発性メモリは夫々複数のメモリセルを有し、

20 夫々のメモリセルはソース領域、ドレイン領域、及び前記ソース領域とドレイン領域の間のチャネル領域を有し、前記チャネル領域上部に絶

縁層を介してデータ蓄積性絶縁層と第1ゲートとを有し、前記データ蓄積性絶縁層上部に第2ゲートを有し、

5 前記第1の不揮発性メモリと第2の不揮発性メモリはそれぞれ複数の第1ワード線を有し、第1の不揮発性メモリで記憶情報の消去が行われるとき上記第1ワード線に、対応するメモリセルが接続され、第2の不揮発性メモリで記憶情報の消去が行われるとき上記第1ワード線に、対応するメモリセルが接続され、第1の不揮発性メモリにおいて上記第1ワード線に接続されるメモリセルの数は、第2の不揮発性メモリにおいて上記第1ワード線に接続されるメモリセルの数よりも少なく、

10 前記第1の不揮発性メモリは、第1ワード線と前記第1の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数のメモリセルの第2ゲートとが電氣的に接続可能とされ、前記第1ワード線は前記第1データ長単位毎にスイッチ回路を介して前記所定数のメモリセルの第2ゲートと接続され、

15 前記第2の不揮発性メモリは、第1ワード線と前記第2の不揮発性メモリを構成する複数のメモリセルのうち所定数のメモリセルの第2ゲートとが電氣的に接続されていることを特徴とする半導体処理装置。

15. 前記第1ワード線と同数の第2ワード線を有し、

20 前記第1ワード線は夫々のメモリセルの第2ゲートに接続され、前記第2ワード線は夫々のメモリセルの第1ゲートに接続されることを特徴とする請求の範囲第14項記載の半導体処理装置。

25 16. 前記第1の不揮発性メモリにおいて、記憶情報の消去が行われるとき、記憶情報の消去対象とする一部のメモリセルの第2ゲートを第1ワード線に接続可能にするスイッチ素子を有することを特徴とする請求の範囲第15項記載の半導体処理装置。

17. 前記スイッチ素子は不揮発性メモリセルと同一導電型のMOSト

ランジスタであることを特徴とする請求の範囲第 1 6 項記載の半導体処理装置。

- 1 8 . (補正後) 第 1 データ長単位に記憶情報の消去が行われる第 1 の不揮発性メモリと、第 2 データ長単位に記憶情報の消去が行われる第 2 の不揮発性メモリと、中央処理装置と、外部インタフェース回路とを有し、

前記第 1 の不揮発性メモリはデータの格納に使用され、

前記第2の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用され、

前記第1の不揮発性メモリと前記第2の不揮発性メモリはそれぞれ複数の不揮発性メモリセルを有し、

- 5 それぞれの不揮発性メモリセルは基板上に形成された第1の拡散層領域と第2の拡散層領域との間にチャネル領域を有し、チャネル領域上に第1絶縁膜を介して電荷蓄積層を有し、電荷蓄積層上に第2絶縁膜を介して第1ゲート端子を有し、電荷蓄積層直下の第1チャネル領域に隣接する第2チャネル領域上に、第1ゲート端子と第3絶縁膜を介して第2ゲート端子を有し、
- 10

前記第3絶縁膜下のチャネル領域で発生したホットエレクトロンを前記電荷蓄積層に注入し、又は前記電荷蓄積層から電荷を引き抜くことによりメモリセルのしきい値電圧を変化させる動作を行い、

前記第1データ長は前記第2データ長よりも短く、

- 15 前記第1の不揮発性メモリは第1制御信号線を有し、前記第1の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第1ゲート端子と第1制御信号線とが電氣的に接続可能とされ、前記第1制御信号線は前記第1データ長単位毎にスイッチ回路を介して前記所定数の不揮発性メモリセルの第1ゲート端子と接続され、
- 20

前記第2の不揮発性メモリは第2制御信号線を有し、前記第2の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第1ゲート端子と第2制御信号線とが電氣的に接続されることを特徴とする半導体処理装置。

- 25 19. 前記不揮発性メモリセルは、半導体基板に、ソース領域、ドレイン領域、及び前記ソース領域とドレイン領域に挟まれたチャネル領域

- とを有し、前記チャネル領域上には、第1絶縁膜を介して配置されたコントロールゲート電極と、第2絶縁膜及び電荷蓄積性絶縁膜を介して配置され前記コントロールゲート電極と電氣的に分離されたメモリゲート電極とを有し、前記コントロールゲート電極のゲート耐圧は前記メモリゲート電極のゲート耐圧よりも低いことを特徴とする請求の範囲第18項記載の半導体処理装置。
- 5 20. 前記コントロールゲート電極のゲート耐圧は前記CPUに含まれるMOSトランジスタのゲート耐圧に等しいことを特徴とする請求の範囲第19項記載の半導体処理装置。
- 10 21. 第1の不揮発性メモリは第1データ長単位に記憶情報の消去が行なわれたメモリセルに対する情報保持を第1データ長単位に行なうことを特徴とする請求の範囲第19項記載の半導体処理装置。
22. 第2の不揮発性メモリは第2データ長単位に記憶情報の消去が行なわれたメモリセルに対する情報保持を第2データ長よりも短い単位で行なうことを特徴とする請求の範囲第19項記載の半導体処理装置。
- 15 23. 前記中央処理装置は前記第1の不揮発性メモリと前記第2の不揮発性メモリとへ並行してアクセス処理が可能であることを特徴とする請求の範囲第19項記載の半導体処理装置。
24. 前記第1の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、
- 20

前記第2の不揮発性メモリは複数のメモリセルから成るメモリアレイ部と選択されたメモリセルへのアクセス制御を行なう制御部とを有し、

5 前記第1の不揮発性メモリの制御部と前記第2の不揮発性メモリの制御部は少なくとも一部において共通であることを特徴とする請求の範囲第23項記載の半導体処理装置。

25. 前記共通とされる制御部の一部は、メモリセルからデータを読み出す際の読み出し信号を増幅するために用いられるアンプ回路であることを特徴とする請求の範囲第24項記載の半導体処理装置。

10 26. 前記共通とされる制御部の一部は、メモリセルにアクセスする際にメモリセルに印加する電圧を発生させる電圧発生回路であることを特徴とする請求の範囲第24項記載の半導体処理装置。

15 27. 前記共通とされる制御部の一部は、メモリセルにアクセスする際にメモリセルを選択するデコード回路であることを特徴とする請求の範囲第24項記載の半導体処理装置。

28. (補正後) 第1データ長単位に記憶情報の消去が行われる第1の不揮発性メモリと、第2データ長単位に記憶情報の消去が行われる第2の不揮発性メモリと、中央処理装置と、外部とデータの入出力を行うための端子とを合成樹脂に封入されて備え、

20 前記第1の不揮発性メモリはデータの格納に使用され、

前記第2の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用され、

前記第1の不揮発性メモリと前記第2の不揮発性メモリはそれぞれ複数の不揮発性メモリセルを有し、

25 それぞれの不揮発性メモリセルは基板上に形成された第1の拡散層領域と第2の拡散層領域との間にチャネル領域を有し、チャネル領域上

に第1絶縁膜を介して電荷蓄積層を有し、電荷蓄積層上に第2絶縁膜を介して第1ゲート端子を有し、電荷蓄積層直下の第1チャネル領域に隣接する第2チャネル領域上に、第1ゲート端子と第3絶縁膜を介して第2ゲート端子を有し、

- 5 前記第3絶縁膜下のチャネル領域で発生したホットエレクトロンを前記電荷蓄積層に注入し、又は前記電荷蓄積層から電荷を引き抜くことによりメモリセルのしきい値電圧を変化させる動作を行い、

前記第1データ長は前記第2データ長よりも短く、

- 10 前記第1の不揮発性メモリは第1制御信号線を有し、前記第1の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第1ゲート端子と第1制御信号線とが電氣的に接続可能とされ、前記第1制御信号線は前記第1データ長単位毎にスイッチ回路を介して前記所定数の不揮発性メモリセルの第1ゲート端子と接続され、

- 15 前記第2の不揮発性メモリは第2制御信号線を有し、前記第2の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第1ゲート端子と第2制御信号線とが電氣的に接続されることを特徴とするICカード。

- 20 29. (補正後) 第1データ長単位に記憶情報の消去が行われる第1の不揮発性メモリと、第2データ長単位に記憶情報の消去が行われる第2の不揮発性メモリと、中央処理装置と、外部とデータの入出力を行なうためのアンテナとを合成樹脂に封入されて備え、

前記第1の不揮発性メモリはデータの格納に使用され、

- 25 前記第2の不揮発性メモリは前記中央処理装置が処理すべきプログラムの格納に使用され、

前記第1の不揮発性メモリと前記第2の不揮発性メモリはそれぞれ

複数の不揮発性メモリセルを有し、

それぞれの不揮発性メモリセルは基板上に形成された第1の拡散層領域と第2の拡散層領域との間にチャンネル領域を有し、チャンネル領域上に第1絶縁膜を介して電荷蓄積層を有し、電荷蓄積層上に第2絶縁膜を介して第1ゲート端子を有し、電荷蓄積層直下の第1チャンネル領域に隣接する第2チャンネル領域上に、第1ゲート端子と第3絶縁膜を介して第2ゲート端子を有し、

前記第3絶縁膜下のチャンネル領域で発生したホットエレクトロンを前記電荷蓄積層に注入し、又は前記電荷蓄積層から電荷を引き抜くことによりメモリセルのしきい値電圧を変化させる動作を行い、

前記第1データ長は前記第2データ長よりも短く、

前記第1の不揮発性メモリは第1制御信号線を有し、前記第1の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第1ゲート端子と第1制御信号線とが電氣的に接続可能とされ、前記第1制御信号線は前記第1データ長単位毎にスイッチ回路を介して前記所定数の不揮発性メモリセルの第1ゲート端子と接続され、

前記第2の不揮発性メモリは第2制御信号線を有し、前記第2の不揮発性メモリを構成する複数の不揮発性メモリセルのうち所定数の不揮発性メモリセルの第1ゲート端子と第2制御信号線とが電氣的に接続されることを特徴とするICカード。

30. 前記不揮発性メモリセルは、半導体基板に、ソース領域、ドレイン領域、及び前記ソース領域とドレイン領域に挟まれたチャンネル領域とを有し、前記チャンネル領域上には、第1絶縁膜を介して配置されたコントロールゲート電極と、第2絶縁膜及び電荷蓄積性絶縁膜を介して配置され前記コントロールゲート電極と電氣的に分離されたメモリゲート電極とを有し、

ト電極とを有し、前記コントロールゲート電極のゲート耐圧は前記メモリゲート電極のゲート耐圧よりも低いことを特徴とする請求の範囲第28項又は29項記載の半導体処理装置。

- 5 31. 前記コントロールゲート電極のゲート耐圧は前記CPUに含まれるMOSトランジスタのゲート耐圧に等しいことを特徴とする請求の範囲第30項記載の半導体処理装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.